

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE****Publication number:** JP63016500 (A)**Publication date:** 1988-01-23**Inventor(s):** KAWAI HIDEKI; FUJII MASARU; OTA KIYOTO; SAKAGAMI  
MASAHIKO**Applicant(s):** MATSUSHITA ELECTRONICS CORP**Classification:****- international:** **G11C19/00; G11C19/18; G11C19/28; G11C19/00;** (IPC1-  
7): G11C19/00**- European:** G11C19/18B4**Application number:** JP19860034677 19860218**Priority number(s):** JP19860034677 19860218**Also published as:**

JP6101235 (B)



JP1968793 (C)



US4821299 (A)

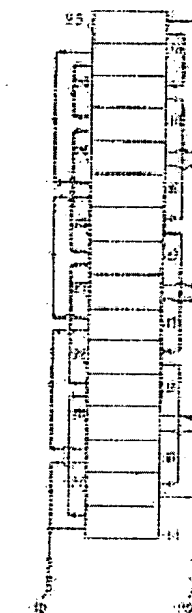


KR900008190 (B1)

**Abstract of JP 63016500 (A)**

**PURPOSE:** To obtain a shift register having a high performance by arranging registers for constituting a shift register of a different system, in the same line by a constitution in which each adjacent register belongs to another system, and forming a block arrangement in which a line of each register seen in the same system is not arranged in accordance with order of a data transfer but turned back.

**CONSTITUTION:** The first system shift registers 11-18 and the second system shift registers 21-28 form an arrangement structure in which they are adjacent to each other. Also, a line of registers extending from the first stage to the eighth stage is arranged by setting the fifth stage as a turning-back point. In this way, a signal wiring between each register has almost the same load capacity, and also, a difference between the respective systems is also suppressed to the minimum.; That is to say, the arrangement can be executed so that the first stage and the last stage cannot be discriminated, therefore, the load capacity of each register can be roughly equalized.

Data supplied from the **esp@cenet** database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-16500

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月23日

G 11 C 19/00

6549-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭61-34677

⑰ 出 願 昭61(1986)2月18日

⑱ 発 明 者	河 合	秀 樹	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 発 明 者	藤 井	勝	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 発 明 者	大 田	清 人	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 発 明 者	坂 上	雅 彦	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑳ 出 願 人	松下電子工業株式会社		大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男		外1名	

明 明 書

1、発明の名称

半導体集積回路装置

2、特許請求の範囲

多数並列シフトレジスタ群を有し、前記シフトレジスタ群の第1入力信号が印加される端子と最終出力信号が出力される端子とが同一であって、少なくとも2系統以上の各シフトレジスタ群が同一列に配置され、且つ、それぞれの系統を構成するシフトレジスタ群の並びは、隣接し合う各レジスタが別系統に属し、同一系統内のレジスタの配列順番に折り返しを有することを特徴とする半導体集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路装置、詳しくはシフトレジスタを有する半導体集積回路装置における同シフトレジスタのブロック構成に関する。

従来の技術

半導体集積回路装置において、シフトレジスタ

は重要な回路構成ブロックの1つである。シフトレジスタブロックを半導体集積回路装置内にレイアウトする場合、従来、1系統のシフトレジスタの場合は、1列に、多系統の場合はそれぞれ並列に、或は、いくつかの系統を1列に配置し、その群を並列配置するという技法が使用されている。このとき、シフトレジスタを構成するレジスタの並びは、順番に従って配置されていた。第2図は2系統のシフトレジスタ(8ビット構成)を1列にレイアウトする場合の従来例である。10は第1系統のシフトレジスタの入出力端子、11～18は第1系統シフトレジスタを構成するレジスタ、20は第2系統のシフトレジスタの入出力端子、21～28は第2系統シフトレジスタを構成するレジスタである。図中信号線上の矢印は、データ転送の方向を示すものである。

発明が解決しようとする問題点

シフトレジスタの高性能化と、それぞれ異った系統のレジスタ間の対称性の観点に立つと、前記従来例において、以下の問題点が発生する。

第 1 に、シフトレジスタを構成するレジスタ間の信号配線負荷容量に大きな不均一性が生じることである。すなわち、レジスタ 18 からレジスタ 11、或はレジスタ 28 からレジスタ 21 への信号線負荷容量は他の信号線に比べると大きくなっており、その結果、レジスタ 18 及び同 28 の出力段バッファの負荷駆動能力を大きくする必要がある。それ故、シフトレジスタを構成する各レジスタの大きさ（回路定数及びレイアウト面積）に不揃いが生じるか、或は、レジスタ 18 及び同 28 の大きさに他のレジスタの大きさを揃えると消費電力等の動作性能を落とすことになる。

第 2 にそれぞれ異なった系統のシフトレジスタ間の対称性が崩れることである。すなわち、端子 10 からレジスタ 11 の入力までの信号遅延と、端子 20 からレジスタ 21 の入力までの信号遅延との間に差が生じ同期がとりにくくなる。この問題点は、シフトレジスタの段数が多くなり、1 系統のレイアウト長が長くなる場合、第 2 図の様な配置例をとる従来例では深刻である。

タの負荷容量をほぼ均等にすることができる。従って、レジスタの大きさも、最適な大きさを選択することができシフトレジスタの高性能化を図る事ができる。

#### 実施例

第 1 図に 2 系統、8 段構成のシフトレジスタ配置における本発明の実施例を示す。第 1 図において 10 は第 1 系統シフトレジスタ入出力端子、11～18 は第 1 系統シフトレジスタを構成するレジスタ、20 は第 2 系統シフトレジスタ入出力端子、21～28 は第 2 系統シフトレジスタを構成するレジスタである。

第 1 図において、第 1 系統シフトレジスタと第 2 系統シフトレジスタとは互に隣接する配置構造を成している。更に、1 段目から 8 段目までのレジスタの並びは 8 段目を折り返し点として配列されている。以上の構成にしたことにより、各レジスタ間の信号配線はほぼ同一の負荷容量を有し、且つ、それぞれの系統間の差異も最小に抑えられている。

#### 問題点を解決するための手段

前記問題点を解決するため、本発明は異なった系統のシフトレジスタを構成するレジスタを、隣接する各レジスタが別系統に属する構成で同列に並べ、同一系統内で見た各レジスタの並びをデータ転送の順番どおりにしないで、折り返しを持たせるブロック配置にしたものである。

#### 作用

本発明のシフトレジスタブロック配置によると、まず、異なった系統間相互の対称性の崩れを最小にすることができる。すなわち、隣接する各レジスタが別系統に属する構成で同列に並べ、同一系統内で見た各レジスタの並びをデータ転送順番によらず、折り返しをもたせて配置した構成とする事により、レジスタ間配線の形状をほぼ同一にできるので、信号遅延をそれぞれの系統間でほぼ同一にすることができる。更に、レジスタの順番を折り返すことで、負荷容量の不均一性を最小にすることができる。すなわち、初段と最終段との区別をつけない様に配置できるので、個々のレジ

スタをお、2 系統 8 段構成のシフトレジスタの配置の実施例を示したが、他の構成の場合も、類似の配置構成にすれば、信号配線負荷の均等化と、系統間の均等化を図ることができ、高速動作の最適化ができる。

#### 発明の効果

以上のように本発明は、シフトレジスタを有する半導体集積回路装置の内部ブロック配置において、シフトレジスタブロックの配置について、最適化の指針を与え、シフトレジスタ動作の高性能化及び、レイアウト設計の効率化に寄与するところ大なるものがある。

#### 4、図面の簡単な説明

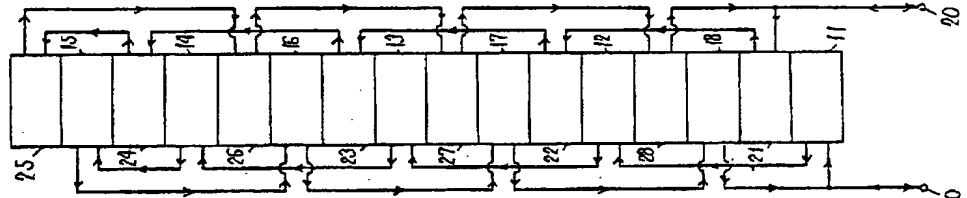
第 1 図は、本発明の一実施例を示すブロック図、第 2 図は従来例を示すブロック図である。

10、20……シフトレジスタ系入出力端子、11～18、21～28…シフトレジスタを構成するレジスタ。

代理人の氏名 井理士 中 尾 敏 男 ほか 1 名

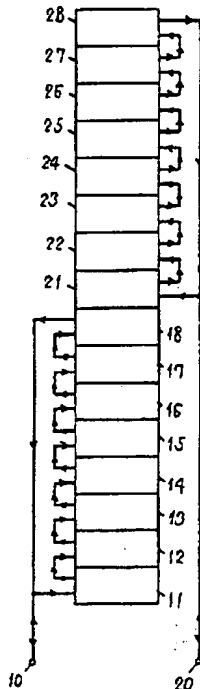
図面の浄書(内容に変更なし)

10---第1系統ソルトレジスタハ出力端子  
11---第1系統ソルトレジスタハ出力端子  
20---第2系統ソルトレジスタハ出力端子  
21---第2系統ソルトレジスタハ出力端子



第 2 図

10---第1系統ソルトレジスタハ出力端子  
11---第1系統ソルトレジスタハ出力端子  
20---第2系統ソルトレジスタハ出力端子  
21---第2系統ソルトレジスタハ出力端子



## 手続補正書 (方式)

昭和62年7月29日

特許庁長官殿

### 1 事件の表示

昭和61年特許願第 34677 号

### 2 発明の名称

半導体集積回路装置

### 3 補正をする者

事件との関係 特許出願人

住 所 大阪府門真市大字門真1006番地

名 称 (584) 松下電子工業株式会社

代 表 者 金 澤 二 三 男

### 4 代 理 人 T 571

住 所 大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名 (5971) 弁理士 中 尾 敏 男

(ほか1名)

[連絡先 電話(東京)437-1121 東京法律分室]

### 5 補正命令の日付

昭和62年6月30日

### 6 補正の対象

図面

### 7 補正の内容

図面の第1図を別紙の通り補正いたします。

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成5年(1993)8月13日

【公開番号】特開昭63-16500

【公開日】昭和63年(1988)1月23日

【年通号数】公開特許公報63-165

【出願番号】特願昭61-34677

【国際特許分類第5版】

G11C 19/00

2116-5L

## 手続補正書

平成 4 年 7 月 9 日

特許庁長官殿

### 1 事件の表示

昭和61年特許願第34677号

### 2 発明の名称

半導体集積回路装置

### 3 補正をする者

事件との関係 特許出願人  
住 所 大阪府門真市大字門真1006番地  
名 称 (584) 松下電子工業株式会社  
代 表 者 檀 上 一 馬

### 4 代理人 〒571

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内

氏 名 (7242) 弁理士 小鍛治 明  
(ほか2名)  
(電話番号(03)8434-9471 知財政策センター)

### 5 補正の対象

明細書の特許請求の範囲の欄

明細書の発明の詳細な説明の欄

### 6、補正の内容

- (1) 明細書の特許請求の範囲の欄を別紙の通り補正致します。
- (2) 明細書の第4頁第2行から第7行の「前記問題点を解決するため、……ブロック配置にしたものである。」を「前記問題点を解決するため、本発明は異なったn系統のシフトレジスタ群が同一列に配置され、連続したn個のシフトレジスタを1組とし、同一組内のそれぞれのシフトレジスタを別系統で同一順番のシフトレジスタとしたm個の組を、端部より出発して折り返して配列し、折り返し部分のシフトレジスタの組が配列方向に沿って1組おきに位置するようにブロック配置にしたものである。」に補正致します。
- (3) 同第4頁第11行の「隣接する」を「各組の」に補正致します。
- (4) 同第4頁第12行の「同列に」を削除致します。
- (5) 同第5頁第8行の「8段」を「8組」に補正

致します。

- (6) 同第5頁第13行から第17行の「第1図において、……配列されている。」を「第1図において、同一順番で第1系統と第2系統のシフトレジスタとは互に連続して配置されている。更に、第1番目の組から第8番目の組までのレジスタの並びは第1番目の組、第8番目の組、第2番目の組、第7番目の組……となり第5番目の組を折り返し点として配列されている。」に補正致します。

- (7) 同第6頁第1行の「8段」を「8組」に補正致します。

## 2、特許請求の範囲

- (1)  $n$  ( $n$ は複数) 系統のシフトレジスタ群が同一列に配置され、前記シフトレジスタ群への入力信号が印加される端子と最終出力信号が出力される端子が同一であって、かつ、連続した $n$ 個のシフトレジスタを1組とし、同一組内のそれぞれのシフトレジスタを別系統で同一順番のシフトレジスタとした $m$  ( $m$ は複数) 個の組を、前記端子側より出発して折り返して配列し、折り返し部分のシフトレジスタの組が配列方向に沿って1組おきに位置していることを特徴とする半導体集積回路装置。
- (2)  $m$  個の組が、端子側より、第1番目の組、第 $m$ 番目の組、第2番目の組、第 $(m-1)$ 番目の組、……の順番に配列されていることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。
- (3)  $m$  個の組が、端子側より、第 $m$ 番目の組、第1番目の組、第 $(m-1)$ 番目の組、第2番目の組、……の順番に配列されていることを特徴

とする特許請求の範囲第1項に記載の半導体集積回路装置。